

NTV 영역에서의 delay model과 parametric variation

*김광수, 한상우, 박영민, 임민영, 정성욱, 정의영
연세대학교 전기전자공학부

e-mail : kskim@dtl.yonsei.ac.kr, swhan0330@dtl.yonsei.ac.kr, ympark@dtl.yonsei.ac.kr,
minyoung@dtl.yonsei.ac.kr, sjung@yonsei.ac.kr, eychung@yonsei.ac.kr

NLDM Delay Models and Parametric Variations on Near-Threshold Voltage Regions

*Kwangsu Kim, Sangwoo Han, Young Min Park, Minyoung Im, Sung-Ook Jung, Eui-Young Chung
School of Electrical and Electronic Engineering
Yonsei University

Abstract

NTV(Near-Threshold Voltage) region is distinguished by large delay values and variability of gate cells. In order to validate commercially available cell characterization methodologies, we perform an extensive evaluations on NLDM delay models of inverter cell on NTV regions and compare the effect of parametric variations over gate delay on NTV and nominal voltage regions, disclosing a need for NTV-aware variation modeling methodologies.

I. 서론

NTV(Near-Threshold Voltage) 영역에서 설계의 어려움은 큰 delay 수치와 PVT(Process, Voltage, Temperature) variation에 따른 불확정적인 delay variation에 기인한다. 본 논문에서는 현재 65nm 공정에서 사용되는 NLDM(Non-Linear Delay Model) delay model의 정확도를 NTV 영역에서 검증하고 process variation에 따른 delay variation 특성 진단을

통해 NTV 영역에서의 OCV(On-Chip Variation)-aware를 고려한 delay model의 필요성을 확인한다.

II. 본론

NTV 영역에서의 설계의 핵심은 회로의 작동 전압을 트랜지스터의 문턱 전압 근처로 낮추는 것이다. 일반적인 트랜지스터는 작동 전압이 낮아짐에 따라 delay가 기하급수적으로 증가하고 parametric variation에 따른 delay의 변화도 비선형적으로 관측되며 이는 cell characterization에 있어 기존 delay model 기법들의 새로운 과제가 되었다. 이러한 환경에서 cell characterization 및 Statical Timing Analysis(STA)를 정확하게 수행하기 위해서는 기존 delay model과 variation-aware 한 extension의 유효성 검증이 필요하다.

65nm 공정에서 사용되는 Non-Linear Delay Table(NLDM) modeling 방식은 input slew와 output capacitance에 따른 output slew 및 transition delay를

lookup table 방식으로 구성한 것으로서 table에 존재하지 않는 값은 보간법으로 추정한다[2]. 이 추정이 유효하기 위해서는 table index에 존재하는 값 사이에 어느 정도의 선형적인 특성이 존재한다는 가정이 필요하다. NTV 영역에서는 gate delay가 다양한 요소에 의해 영향을 받기 때문에 이 가정이 여전히 유효한지에 대한 검증이 필요하다. 이어지는 실험에서 우리는 NTV 영역(0.5V)과 nominal 영역(1.2V)에서 각각 inverter로 대표되는 primitive cell에 대해 실제 HSPICE 실험값과 NLDM table에서 보간한 값을 비교한다.

다음으로 우리는 상용 CAD 툴에서 OCV를 고려하기 위한 기법의 유효성을 개념적으로 검증하기 위해 NTV 및 nominal voltage 영역에서의 variation 분포를 Monte Carlo 실험을 통해 비교한다. 나노미터 수준에서 OCV variation이 주목받기 전, PVT variation은 corner의 형태로만 반영이 되었다. 그 이유는 다량의 cell들이 path를 이룰 때 통계적으로 path 전체에 대한 delay의 variation이 줄어드는 경향을 보이기 때문이다 [1]. 하지만 최근 10nm대 공정 영역에서는 OCV에 대한 고려가 강화되는 추세이다. 상용 툴에 존재하는 OCV-aware delay modeling 기법 중 가장 최신의 기술로는 미세 공정에서의 variation을 고려하기 위해 개발된 POCV[3]을 들 수 있다. 이 기법은 path 수준의 STA에서 각각의 cell에 대해 OCV를 반영할 수 있도록 lookup table의 형태로 input slew/output capacitance 값 쌍에 대해 variation 분포의 $3\sigma/\mu$ 값을 기록해 사용한다. 하지만 PVT variation에 따른 delay의 영향이 비선형적인 특성을 가지게 될 경우 variation 분포에 대한 delay 분포는 비대칭적인 특성을 보이게 되며 이는 부정확한 STA 및 over-design의 가능성으로 이어진다. NTV 영역에서의 회로 작동은 variation에 민감하기 때문에 OCV-aware delay modeling 기법들에 대해 delay variation 분포를 고려한 확장이 요구된다.

III. 실험

그림 1 및 그림 2는 각각 input slew와 load capacitance에 의한 delay 변화를 nominal 영역과 NTV 영역에서 비교한 것이며 그림 3 및 그림 4는 각각 그림 1 및 그림 2의 실험을 5개의 process corner로 확장한 것이다. 실험의 수치는 NTV typical 영역에서의 output delay 최댓값을 기준으로 normalize 한 것이다. 여기서 NLDM은 table 보간법을 통해 측정된 값이며 HSPICE는 SPICE 실험을 통해 측정된 값이다.

그림 1과 그림 2를 비교해보면 delay는 input slew

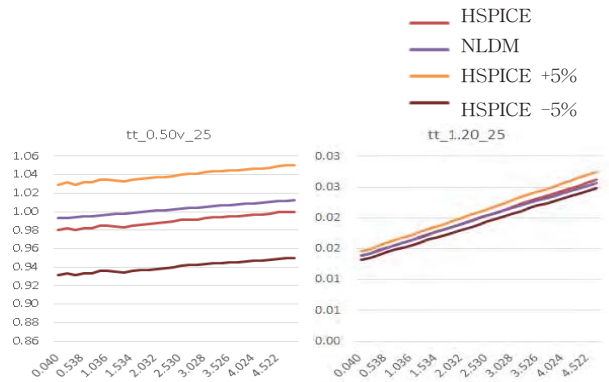


그림 1 NTV 영역(오른쪽)과 Nominal 영역(왼쪽)에서의 input slew 에 따른 delay 변이. Load capacitance는 0.1049pF으로 고정.

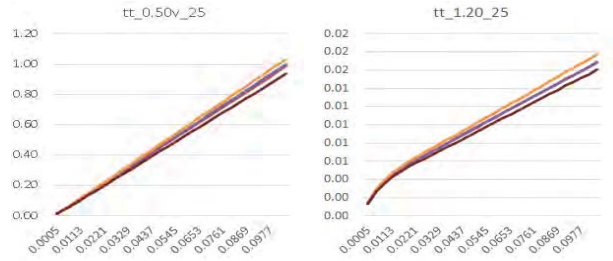


그림 2. NTV 영역(오른쪽)과 Nominal 영역(왼쪽)에서의 load capacitance에 따른 delay 변이. Input slew는 1.202ns로 고정.

보다 load capacitance의 영향에 더 민감한 특성을 보임을 알 수 있다. 또한 load capacitance가 작은 영역에 대해 nominal 영역에서는 delay가 비선형적인 특성을 보이지만 NTV 영역에서는 delay 수치가 크며 선형성이 더 뚜렷한 특성을 보인다.

그림 3 및 그림 4는 각각 그림 1과 그림 2의 실험을 5개의 PVT 코너에 대해 확장한 것이다. 그림 1과 2에서의 관측이 모든 PVT 코너에서 유효함을 보여준다. 유의할 점은 delay가 best case(FF, 0.55V, 85°C)에서는 약 1/10배로 감소하고, worst case(SS, 0.45V, -25°C)에서는 최대 약 100배까지 증가한다는 것이다.

그림 5 및 그림 6은 process variation에 대해 Monte Carlo 실험으로 INV_X1의 rise delay의 분포를 측정된 것이다. X축은 delay를 평균을 기준으로 normalize 한 값이다. Nominal 영역에서 delay 분포는 가우시안 함수와 유사한 좌우 대칭의 분포를 보이는 것을 알 수 있다. FF, NN, SS process corner에 대한 delay 또한 분포 내에 적당히 위치해 있다. 하지만 NTV 영역에서의 delay 분포는 현저히 다른 특성을 보이고 있다. 가장 많은 분포를 보이는 지점의 delay는 NN corner delay에서 약 44% 정도의 차이를 보이는

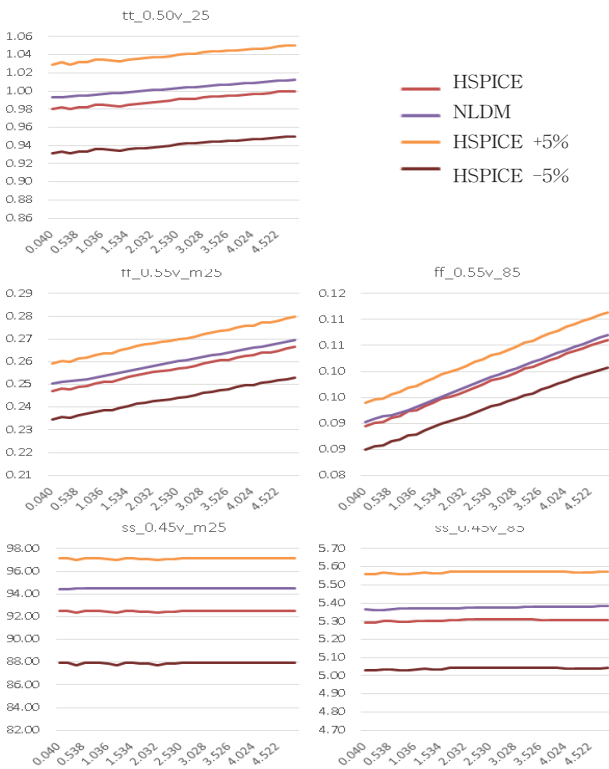


그림 3. NTV 영역에서의 process corner간 input slew에 따른 delay 변이.

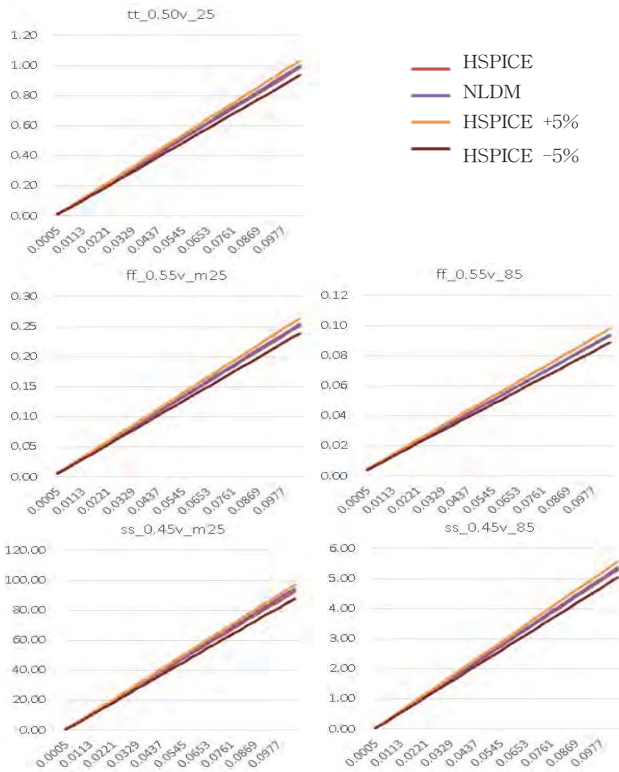


그림 4. NTV 영역에서의 process corner간 load capacitance에 따른 상대적인 delay 변이

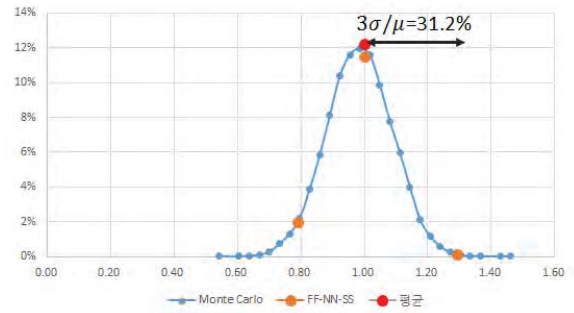


그림 5. INV_X1의 nominal 영역에서의 Monte Carlo에 따른 delay 분포(10,000개 샘플)

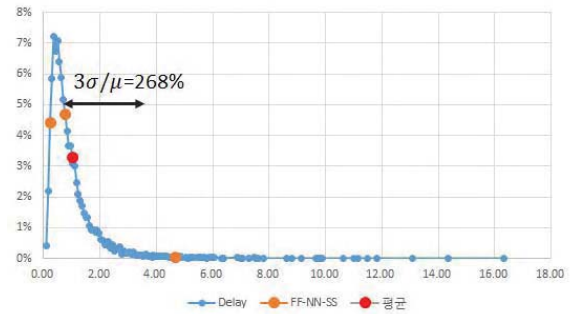


그림 6. INV_X1의 NTV 영역에서의 Monte Carlo에 따른 delay 분포(10,000개 샘플)

수준으로 평균값과는 57% 정도로 차이가 벌어진다. 뿐만 아니라 NN 코너의 delay는 평균과 약 23%의 차이를 보이기 때문에 process 코너에 대한 새로운 고려가 필요하다. 이와 더불어 $3\sigma/\mu$ 지점도 NTV에서는 266%의 큰 값을 가지며 최대 10배가 넘는 큰 delay 편차를 보인다는 점은 STA 및 Design For Testability(DFT)에서의 고려가 필요함을 시사한다.

IV. 결론 및 향후 연구 방향

본 연구에서 우리는 NTV 영역에서의 CAD 정확도를 높이기 위해 기존 delay 및 variation 기법 검증에 다음의 두 가지 단계로 진행하였다. 첫째, model 정확도 검증을 통해 65nm 공정에서 사용되는 NLDM delay model을 NTV 영역에서 그대로 적용할 수 있는지 확인하였으며, 둘째, variation model의 NTV 영역으로의 적용 가능성을 확인하기 위해 nominal 영역과 NTV 영역에서의 variation 분포를 비교하였다.

결과는 다음과 같다. 첫째, NLDM delay model은 sub-micron 수준에서 nominal 영역의 정확도가 문제가 되지 않는 경우 NTV 영역으로 확장 가능한 것으로 분석된다. 둘째, NTV 영역에서의 variation에 따른 delay 분포 특성은 nominal 영역과는 대조적으로 비대칭적이며 큰 편차를 보인다. 이는 기존의 POCV

modeling의 $3\sigma/\mu$ variation을 그대로 도입할 경우 over-design 또는 design failure로 이어질 수 있다. 이어지는 연구에서 우리는 process variation 뿐만이 아니라 voltage 및 temperature variation에 대한 분포에 기반, OCV-modeling 기법 연구를 통해 정확한 failure 예측으로 기대 수율을 충족시키는 NTV-aware 한 OCV modeling 및 분석 기법을 delay modeling과 STA의 연계를 통해 종합적으로 연구할 것이다.

논문사사

본 연구는 산업통상자원부 및 한국산업기술평가관리원의 산업핵심기술개발사업의 일환으로 수행하였음. [10052716, 스마트 센서 SoC용 초저전압 회로 및 IP 설계 기술 개발]

참고문헌

- [1] Zhang, Xiaonan, and Xiaoliang Bai. "Process Variability-Induced Timing Failures - A Challenge in Nanometer CMOS Low-Power Design." *Emerging Technologies and Circuits*. Springer Netherlands, 2010. 163-177.
- [2] Bhasker, Jayaram, and Rakesh Chadha. "Standard Cell Library." *Static timing analysis for nanometer designs: a practical approach*.
- [3] Dreslinski, Ronald G., et al. "Near-threshold computing: Reclaiming moore's law through energy efficient integrated circuits." *Proceedings of the IEEE* 98.2 (2010): 253-266.
- [3] Mutlu, Ayhan, et al. "A parametric approach for handling local variation effects in timing analysis." *Design Automation Conference, 2009. DAC'09*. 46th ACM/IEEE. IEEE, 2009.
- [4] Dreslinski, R. G., Wieckowski, M., Blaauw, D., Sylvester, D., & Mudge, T. (2010). Near-threshold computing: Reclaiming moore's law through energy efficient integrated circuits. *Proceedings of the IEEE*, 98(2), 253-266.